

GRAPE-8 プロセッサボードの性能評価

牧野淳一郎

東京工業大学大学理工学研究科

理学研究流動機構

天文学会春期年会 2012/3/22 京都

講演概要

- **GRAPE-8 とは？ / 開発方針**
- **設計詳細**
 - プロセッサチップ構成
 - パイプライン構成
 - ボード構成
- **性能**
- **ピーク性能と消費電力**
- **現状での通信性能**
- **まとめ**

GRAPE-8 とは: ?

GRAPE:

- 自己重力粒子系シミュレーションの、重力部分の高速化
- 直接計算の他、ツリー法、FMM でも

歴史:

- 1989 年からの GRAPE プロジェクト: 1991 の GRAPE-3 から 2002 の GRAPE-6 まで専用プロセッサ LSI 開発。
- 2006 GRAPE-7: FPGA 利用、2008 GRAPE-DR: プログラマブルな SIMD プロセッサ

GRAPE-6 以降、専用 LSI は作っていない: 初期コストの指数関数的増加のため

Structured ASIC

カスタム LSI と FPGA (論理回路変更可能な LSI) の中間

	ASIC	FPGA	Str. A.
初期費用 (10 億円)	1	0.001	0.02
回路規模 (1 千万ゲート)	20	1	1
ゲート単価 (円/1000 ゲート)	0.3	10	2

良くいうと、 ASIC より初期費用安くて FPGA より量産費用安い

上の数字の例では、予算 2400 万から 12 億の間では「ベストソリューション」

(2009 年の皮算用)

そもそも作る意味はあるか？という問題

- GPGPU を買ってくるほうが安くないか？
 - 安い GPU 買ってくるならそう
- 重力だけで役に立つか？
 - 無衝突系だけだと？
 - 衝突系なら役に立つ

しかし、高精度版は電気も食うし大変。 Particle-Particle Particle-Tree 法 (押野他 2011) 用に作る。

PPPT スキーム

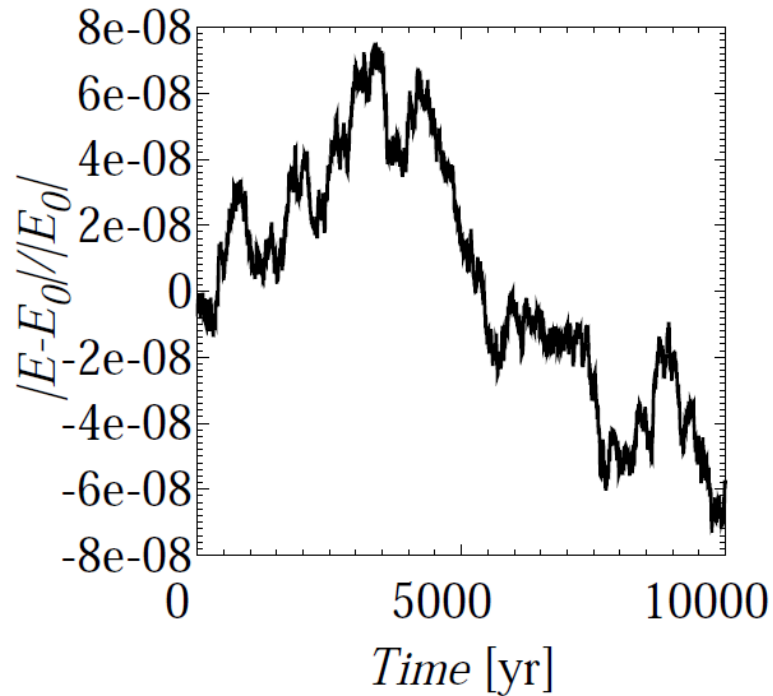
$$H = H_{Hard} + H_{Soft},$$

$$H_{Hard} = \sum_{i=1}^N \left(\frac{p_i^2}{2m_i} - \frac{Gm_i m_{\odot}}{r_i} \right) - \sum_{i < j}^N \frac{Gm_i m_j}{r_{ij}} W(r_{ij}),$$

$$H_{Soft} = \sum_{i < j}^N \frac{Gm_i m_j}{r_{ij}} (1 - W(r_{ij})),$$

- P³M スキームと同様に近距離力と遠距離力を分割
- 遠距離力はツリー、近距離力は独立時間刻み直接計算
- 分割には高次スプラインを使う

PPPT テストラン



地球領域、微惑星 10^4 粒子

ツリーコードの力の誤差が主要因

エラーがランダムウォークする (累積しない)

惑星形成では十分な精度

星団とかも原理的には問題ないはず。

設計詳細 (1) プロセッサチップ概要

- PCIe インターフェース以外の全てを 1 チップにいれる:
- パイプライン 48 本、250MHz 動作。1 相互作用 40 演算で (逆数平方根、カットオフそれぞれ 10 演算として)
480Gflops 相当
- j 粒子メモリはチップに 1 つ。48 個の i 粒子への力を並列計算 16k 語
- ネイバーリストメモリは 6 セット。それぞれ 1024 語
- チップへの書き込み、チップからの読み出しにバッファメモリ。計算と転送を並行実行可能。

パイプライン構成

以下を計算

$$a_i = \sum_j Gm_j g(r_{ij}/r_0) \frac{r_{ij}}{(r_{ij}^2 + \epsilon_i^2 + \epsilon_j^2)^{3/2}}$$

$$\phi_i = \sum_j Gm_j g(r_{ij}/r_0) \frac{1}{(r_{ij}^2 + \epsilon_i^2 + \epsilon_j^2)^{1/2}}$$

- 任意の形のカットオフ関数
- 対称化ソフトニングを実装 $\epsilon_i^2 + \epsilon_j^2$
- 中間表現は仮数9ビットの浮動小数点。座標は32ビット固定小数点。力は64ビット固定小数点
- カットオフ関数は区分2次多項式

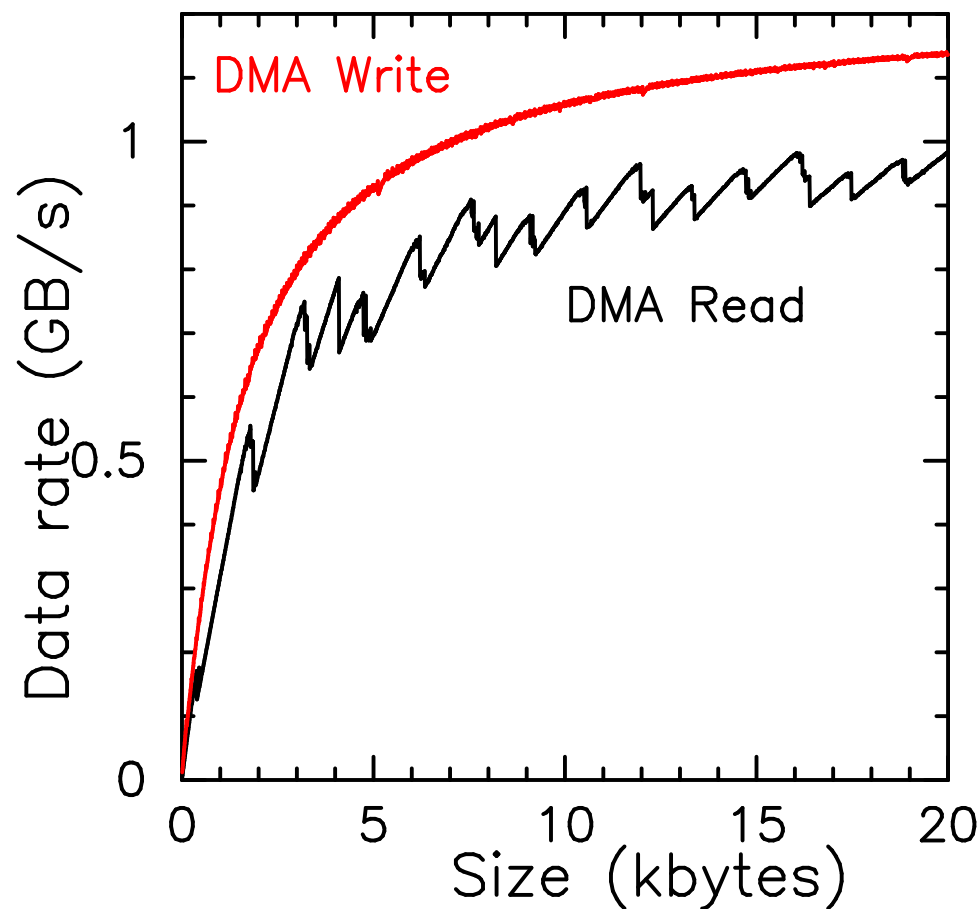
GRAPE-8 ボード



GRAPE-8 ボード

- **ボード論理回路設計は台坂**
- **PCI-Express インターフェースは FPGA を使う。
GRAPE-DR の設計流用**
- **GRAPE-8 チップ2個搭載**
- **理論ピーク性能 960 Gflops 相当、消費電力 47W。
20Gflops/W**
- **PCIe インターフェースにはKFCR 社 GPCI を使用。
Gen 1 8レーン**

通信性能

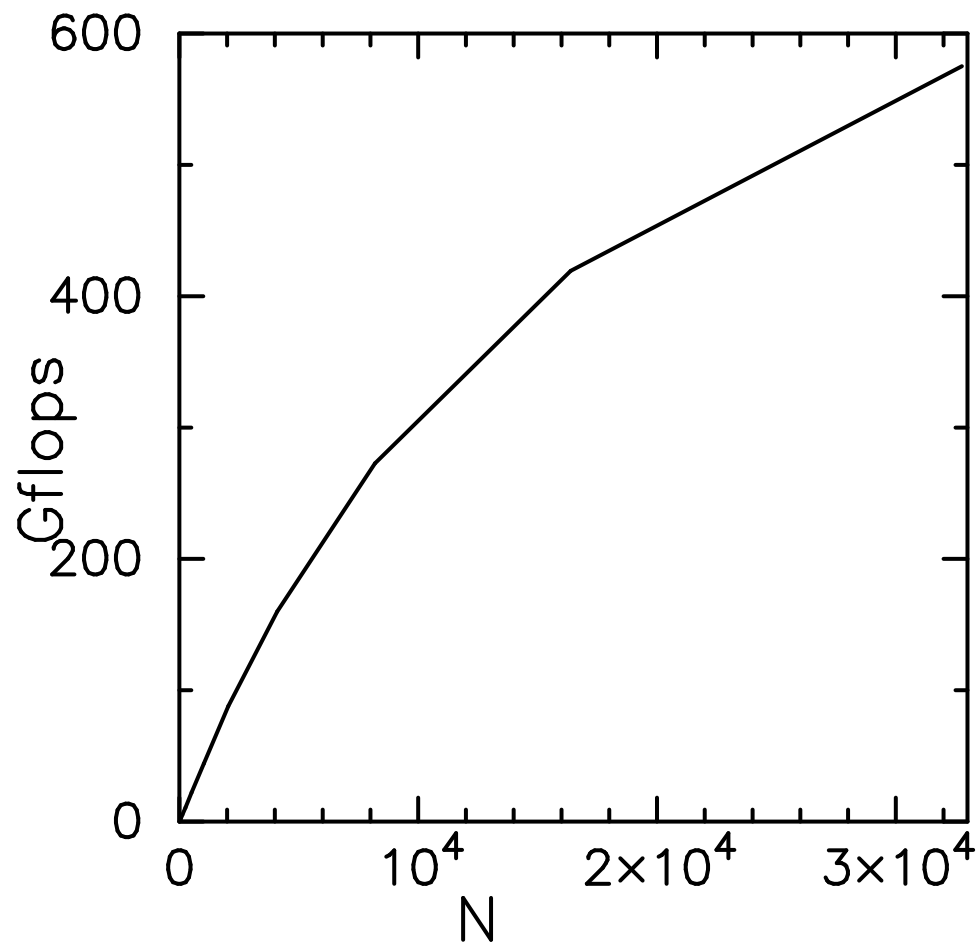


そんなに速くない

原理的にはまあまあな速度。 j 粒子 3000 個、 i 粒子 500 個で計算と通信が釣り合う。

この時にカード 1 枚で 8M 粒子への力を計算できる

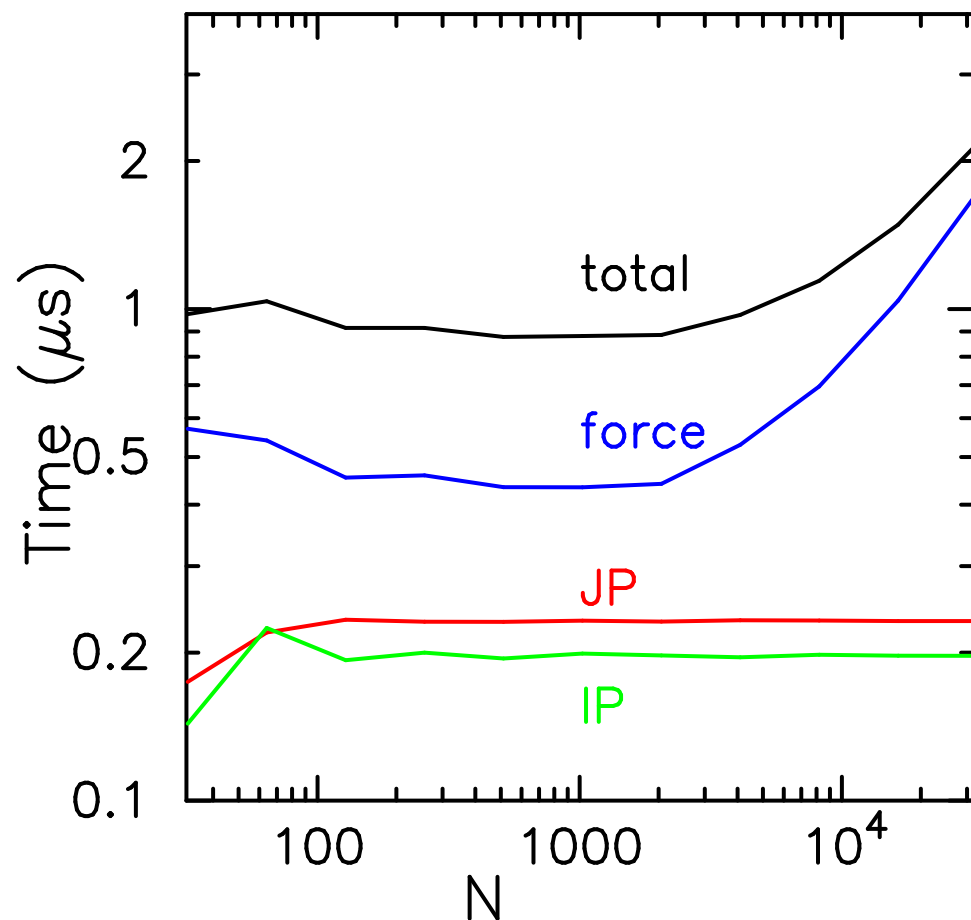
現状での計算性能



3万粒子で理論ピークの6割

通信がまだちょっと遅い。

現状の時間内訳



1 粒子当りの時間

起動オーバーヘッドがある

通信がちょっと遅い

まとめ

- GRAPE-8 はできた。PPPT スキームと組み合わせて星団、惑星形成に使う。
- eASIC 社の構造化 ASIC を利用。基盤 A で開発費まかなえる。
- チップ単体 480Gflops, 13W。2 チップボード 47W
- 商品版は未定